

(51)Int.Cl.

G02F 1/136
G02F 1/133

(21)Application number : 02-403949

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.12.1990

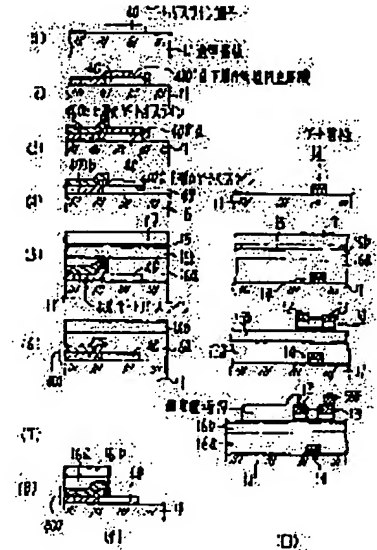
(72)Inventor : TAKEUCHI FUMIYO
ICHIMURA TERUHIKO
WATANABE KAZUHIRO

(54) MANUFACTURE OF THIN FILM TRANSISTOR MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To improve reliability of connection between a bus line terminal and a wiring terminal of an external circuit by forming both the gate bus line terminal and the drain bus line terminal of a conductive oxidized film.

CONSTITUTION: A gate bus line terminal 40, formed of a transparent conductive oxidation film, is formed in a region where a gate bus line terminal train of a transparent substrate 11 is arranged. Next, the gate bus line terminal 40 is coated to form a low resistance metal film 400'a of lower layer in a required part of a display part region, and a heat resistant metal film of upper layer is formed on the film 400'a. Thereafter, pattern forming is performed so as to form a gate bus line 400b of upper layer by coating an end part in a gate bus line side of the gate bus line terminal 40. Then, the low resistance metal film 400'a of lower layer, exposed in a surface, is etching-removed to form a gate bus line 400. At this time, a gate electrode 14, formed of a laminated film, is formed in a thin film transistor part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-217231

(43)公開日 平成4年(1992)8月7日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号 特願平2-403949

(22)出願日 平成2年(1990)12月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 竹内 文代

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 市村 照彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 渡辺 和広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

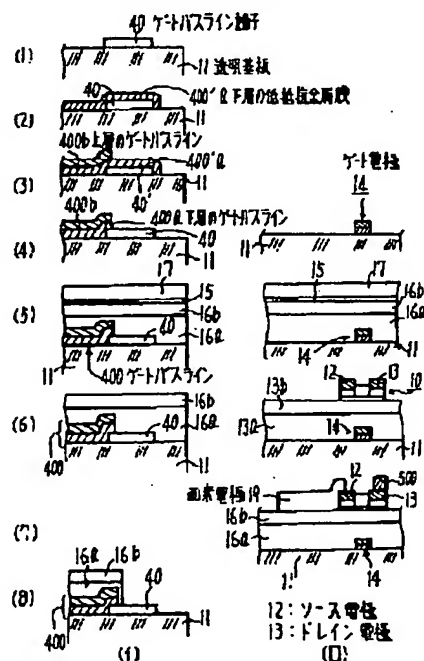
(54)【発明の名称】 薄膜トランジスタマトリクス基板の製造方法

(57)【要約】

【目的】 本発明は新規な薄膜トランジスタマトリクス基板の製造方法に関し、とくに、アクティブマトリクス型液晶表示装置に用いる薄膜トランジスタマトリクス回路のバスライン端子と外部回路の配線端子との接続の信頼性を向上させることを目的とする。

【構成】 透明基板(11)上に導電性酸化物膜からなるゲートバスライン端子(40)部を形成したあと、該ゲートバスライン端子(40)部のバスライン側の端部を覆って、下層の低抵抗金属膜と上層の耐熱性金属膜の積層膜からなるゲートバスライン(400)を形成するように薄膜トランジスタマトリクス基板の製造方法を構成する。

本発明方法の第1実施例を示す図



1

2

【特許請求の範囲】

【請求項1】 透明基板(11)上に少なくともゲート電極(14)、ゲート絶縁膜(16)、動作半導体層(15)、ソースおよびドレイン電極(12,13)からなる複数の薄膜トランジスタ(10)を形成し、それぞれのソース電極(12)には透明な画素電極(19)を配設し、各ゲート電極(14)およびドレイン電極(13)をそれぞれ接続するゲートバスライン(400)およびドレインバスライン(500)の各端末部には外部回路接続用のゲートバスライン端子(40)およびドレインバスライン端子(50)を形成してなる薄膜トランジスタマトリクス基板の製造方法において、前記ゲートバスライン端子(40)およびドレインバスライン端子(50)を何れも導電性酸化物膜により形成することを特徴とした薄膜トランジスタマトリクス基板の製造方法。

【請求項2】 透明基板(11)上に導電性酸化物膜からなるゲートバスライン端子(40)部を形成したあと、該ゲートバスライン端子(40)部のバスライン側の端部を覆って下層の低抵抗金属膜と上層の耐熱性金属膜の積層膜からなるゲートバスライン(400)が形成されることを特徴とした請求項1記載の薄膜トランジスタマトリクス基板の製造方法。

【請求項3】 透明基板(11)上に低抵抗金属膜からなる下層のゲートバスライン(400a)を形成し、該下層のゲートバスライン(400a)の端末部を覆って耐熱性金属膜からなる上層のゲートバスライン(400b)を形成したあと、該上層のゲートバスライン(400b)の端末部に一端が積層接続されるように導電性酸化物膜からなるゲートバスライン端子(40)が形成されることを特徴とした請求項1記載の薄膜トランジスタマトリクス基板の製造方法。

【請求項4】 透明基板(11)上に導電性酸化物膜からなるゲートバスライン端子(40)部と低抵抗金属膜からなる下層のゲートバスライン(400a)とをその間にスペース(80)を設けて形成したあと、前記下層のゲートバスライン(400a)と前記ゲートバスライン端子(40)部のバスライン側の端部を覆って前記スペース(80)を橋絡すると共に耐熱性金属膜からなる上層のゲートバスライン(400b)を積層形成することを特徴とした請求項1記載の薄膜トランジスタマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタマトリクス基板の製造方法に関する。詳しくは、アクティブマトリクス型液晶表示装置に用いる薄膜トランジスタマトリクス回路のバスライン端子と外部回路の配線端子との接続の信頼性を向上させるための薄膜トランジスタマトリクス基板の製造方法に関する。

【0002】

【従来の技術】 図形表示を行う液晶表示装置には単純マトリクス型液晶表示装置とアクティブマトリクス型液晶表示装置が多く用いられているが、表示品質の点ではア

クティブマトリクス型液晶表示装置が優れており、とくに、カラー表示の場合にはアクティブマトリクス型液晶表示装置が最も有望で既に実用化され始めている。

【0003】 図5はアクティブマトリクス型液晶表示パネルの外観を示す斜視図である。図中、1は薄膜トランジスタマトリクス基板で透明基板11の上に薄膜トランジスタ素子アレイが形成され、各素子には表示画素に対応して透明な画素電極が配設されている。40および50は各薄膜トランジスタ素子のゲート電極およびドレイン電極が接続されたゲートバスライン端子およびドレインバスライン端子であり、その上には配向膜18が設けられている。一方、2は共通電極基板で透明基板20の上に透明なベタ電極21と配向膜22が積層形成されている。両基板は配向膜面を中にして狭い空間が形成されるように図示していないスペーサを挟み基板の周縁部を同じく図示していないシール材で密閉接着し、その空間に液晶3を注入封止してアクティブマトリクス型液晶表示パネルが構成されている。なお、本図は白黒表示用の場合であるが、これにカラーフィルタを付加すればカラー液晶表示パネルが構成される。

【0004】 図6は薄膜トランジスタマトリクス基板の構成例を示す図で前記図5で説明した例の薄膜トランジスタ素子群の一部を概念的に拡大して示したものである。図中、10は薄膜トランジスタで基板上に先ずゲート電極を配置する、いわゆるボトム・ゲート・スタガー型と呼ばれる構成のものを示してあり、図示していない透明基板上に生成されたゲートバスライン400から張り出したゲート電極14、たとえば、Ti, Mo, Ta, Cr, Al, Cuなどの金属薄膜配線と図示していないゲート絶縁膜の上に動作半導体層15、たとえば、アモルファスシリコン膜(α -Si膜)が形成され、その両側からドレインバスライン500に接続されるドレイン電極と、たとえば、ITO(In_2O_3 -Sn O_2)からなる画素電極19に接続されるソース電極が配設され薄膜トランジスタ10が構成されている。その動作メカニズムは公知であるので説明は省略する。

【0005】 図7はドレインバスライン端子列の構成例を示す図で、同図(イ)は部分平面図、同図(ロ)は部分拡大図、同図(ハ)はA-A'断面図、同図(ニ)はB-B'断面図である。

【0006】 表示パネルの表示部を構成する薄膜トランジスタマトリクス配置部100の各端末部にはゲートバスライン端子列4とドレインバスライン端子列5が形成されている。通常、Alなどからなるドレインバスライン500の下にはソース・ドレインメタルまたは透明な導電性酸化物膜、たとえば、ITO(In_2O_3 -Sn O_2)膜が形成されており、その端末部であるドレインバスライン端子列5は断面図からわかるようにAlなどからなるドレインバスライン500の先端部が除去されてドレインバスライン端子50が露出されている。なお、11はガラスなどからなる透明基板、16a, 16bはそれぞれSiO $_2$, SiNなどからなる

3

ゲート絶縁膜である。そして、ソース・ドレイン金属または透明な導電性酸化物膜からなるドレインバスライン端子50と外部回路の配線端子との接続は、たとえば、異方性導電フィルムを用いてフレキシブル配線ケーブルの端子との接続により行っている。

【0007】一方、図8は従来のゲートバスライン端子列の構成例を示す図で、同図(イ)は部分平面図、同図(ロ)は部分拡大図、同図(ハ)はA-A'断面図、同図(ニ)はB-B'断面図である。なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

【0008】この場合には、ゲート電極形成時に透明基板11の上にゲートバスライン400およびその端部部分であるゲートバスライン端子40(たとえば、Alからなる下層40aとTiからなる上層40bとの積層膜から構成されている)とが同時形成され、薄膜トランジスタ素子アレイド形成工程中は、いわゆる、ゲート絶縁膜16(たとえば、SiO₂からなる下層16aとSiNからなる上層16bとの積層膜から構成されている)がそれらの上に被覆されている。そして、薄膜トランジスタマトリクス基板1の最終工程において、たとえば、ケミカル・ドライ・エッチングなどによりゲートバスライン端子列4の領域のゲート絶縁膜16が除去されて各ゲートバスライン40を露出させる。そして、このTi/Alなどからなるゲートバスライン端子40と外部回路との接続は、たとえば、異方性導電フィルムを用いてフレキシブル配線ケーブルの端子との接続によって行っている。

【0009】

【発明が解決しようとする課題】しかし、上記従来のバスライン端子列の形成に際し、薄膜トランジスタマトリクス基板作製の最終工程において、たとえば、CF₄+O₂の混合ガスなどによるゲート絶縁膜16のケミカル・ドライ・エッチング処理を行う必要がある。ドレインバスライン端子50はエッチングの際にレジスト膜で覆われているか、または、前記のごとく透明な導電性酸化物膜、たとえば、ITO(In₂O₃-SnO₂)膜からなるので、それらの処理で何ら悪影響を受けることがないが、ゲートバスライン端子40はTi/Al膜が露出されるように形成されるため、その表面が酸化されたりその他の変質や損傷を受け、その結果、外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度が弱く、また、接続抵抗も大きくなってアクティブマトリクス型液晶表示装置の品質・信頼性の低下を招くなどの重大な問題が生じており、その解決が求められていた。

【0010】

【課題を解決するための手段】上記の課題は、透明基板11上に少なくともゲート電極14、ゲート絶縁膜16、動作半導体層15、ソースおよびドレイン電極12および13からなる複数の薄膜トランジスタ10を形成し、それぞれのソース電極12には透明な画素電極19を配設し、各ゲート電

4

極14およびドレイン電極13をそれぞれ接続するゲートバスライン400およびドレインバスライン500の各端部には外部回路接続用のゲートバスライン端子40およびドレインバスライン端子50を形成してなる薄膜トランジスタマトリクス基板の製造方法において、前記ゲートバスライン端子40およびドレインバスライン端子50を何れも導電性酸化物膜により形成する薄膜トランジスタマトリクス基板の製造方法により解決できる。具体的には、透明基板11上に導電性酸化物膜からなるゲートバスライン端子40部を形成したあと、該ゲートバスライン端子40部のバスライン側の端部を覆って下層の低抵抗金属膜と上層の耐熱性金属膜の積層膜からなるゲートバスライン400が形成されるようにしたり、あるいは、透明基板11上に低抵抗金属膜からなる下層のゲートバスライン400aを形成し、該下層のゲートバスライン400aの端部を覆って耐熱性金属膜からなる上層のゲートバスライン400bを形成したあと、該上層のゲートバスライン400bの端部上に一端が積層接続されるように導電性酸化物膜からなるゲートバスライン端子40が形成されるようにしたり、あるいは、透明基板11上に導電性酸化物膜からなるゲートバスライン端子40部と低抵抗金属膜からなる下層のゲートバスライン400aとをその間にスペース80を設けて形成したあと、前記下層のゲートバスライン400aと前記ゲートバスライン端子40部のバスライン側の端部を覆って前記スペース80を橋絡することく耐熱性金属膜からなる上層のゲートバスライン400bを積層形成するなどの薄膜トランジスタマトリクス基板の製造方法により効果的に解決することができる。

【0011】

【作用】本発明によれば、ゲートバスライン端子40も導電性酸化物膜、たとえば、ITO(In₂O₃-SnO₂)膜で形成されており、しかも、低抵抗金属膜からなる下層のゲートバスライン400a、たとえば、Al膜が雰囲気中でITO膜と近接状態を形成することがないので、製造工程中の各種処理、たとえば、ケミカル・ドライ・エッチングや現像処理などによる表面の酸化、あるいは、ITO(In₂O₃-SnO₂)膜の還元などの悪影響を受けることがなく、したがって、外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度や接続抵抗が優れ安定性が高いのである。

【0012】

【実施例】図1は本発明方法の第1実施例を示す図で主な工程順に図示してある。なお、同図(イ)はゲートバスライン端子列部分を、同図(ロ)は薄膜トランジスタ部分を示した。これは両者が同時形成される部分が多くあり、それらの関係がよく理解されるように参考のために示した。

【0013】工程(1):ガラス板などからなる透明基板11のゲートバスライン端子列4を配置する領域に、透明な導電性酸化物膜、たとえば、厚さ50~100nm程度のIT

$\text{O}(\text{In}_2\text{O}_3-\text{SnO}_2)$ 膜からなるゲートバスライン端子40をスパッタ法と公知のホトリソグラフィ技術を用いて所定の形状に形成する。

【0014】工程(2):上記処理基板のゲートバスライン端子40を図示したごとくに覆い、表示部領域の所要部分に下層の低抵抗金属膜400'a,たとえば、厚さ50~150 nmのAl膜を蒸着する。

【0015】工程(3):上記処理基板の下層の低抵抗金属膜400'aの上に、上層の耐熱性金属膜、たとえば、厚さ50~150 nmのTi膜をスパッタ形成したあと、図示したごとくゲートバスライン端子40のゲートバスライン側の端部を覆って上層のゲートバスライン400bが形成されるように、公知のホトリソグラフィ技術を用いて上層の耐熱性金属膜、たとえば、Ti膜のパターン形成を行う。この時、下層の低抵抗金属膜400'aはエッチングされないようなエッチング液あるいはエッチングガスを選択する。

【0016】工程(4):上記処理基板の表面に露出している下層の低抵抗金属膜400'a,たとえば、Al膜を、上層の耐熱性金属膜、たとえば、Ti膜からなるゲートバスラインパターンをマスクとして、たとえば、りん酸+硝酸+さく酸の混酸を用いてエッチング除去し、TiまたはTi/Alの積層膜からなるゲートバスライン400を形成する。この時、同図(ロ)に示したごとく薄膜トランジスタ部分には同じくTi/Alの積層膜からなるゲート電極14が形成される。

【0017】工程(5):上記処理基板の上にゲート絶縁膜16(16b/16a)として、たとえば、約50~300 nmの SiN/SiO_2 からなる積層膜と、動作半導体層15として、たとえば、厚さ10~30 nmのa-Si膜と、さらに、保護層17として、たとえば、厚さ100~200 nmの SiO_2 膜とを、たとえば、プラズマCVD法で連続形成する。

【0018】工程(6):上記処理基板の上にコンタクト層、ソース電極膜およびドレイン電極膜として、たとえば、a-Si, Ti膜を形成したあと、素子分離を行い多数の薄膜トランジスタ10をマトリクス状に形成する。この時、端子部分の動作半導体層15と保護層17は上記処理中にエッチング除去される。

【0019】工程(7):上記処理基板に形成された薄膜トランジスタのドレイン電極13を接続するために、たとえば、厚さ300~500 nmのAl膜からなるドレインバスライン500を形成したあと、ソース電極に接続して透明な導電性酸化物膜、たとえば、 $\text{ITO}(\text{In}_2\text{O}_3-\text{SnO}_2)$ 膜からなる画素電極19を形成する。

【0020】工程(8):上記処理基板のゲートバスライン端子列4の領域以外の表示部領域に図示していないレジストパターンを形成したあと、たとえば、 CF_4+O_2 ガスを用いてケミカル・ドライ・エッチング(CDE)によりゲート絶縁膜16をエッチング除去してゲートバスライン端子40を露出すれば、本発明方法による薄膜トランジスタマト

リクス基板が作製される。

【0021】なお、上記工程では詳細説明は省略したが、ドレインバスライン端子列5については従来と同様の $\text{ITO}(\text{In}_2\text{O}_3-\text{SnO}_2)$ 膜からなるドレインバスライン端子50で構成したものをそのまま使用してよいことは勿論である。

【0022】また、導電性酸化物膜としては $\text{ITO}(\text{In}_2\text{O}_3-\text{SnO}_2)$ 膜とは限らないが、この場合画素電極19を構成する $\text{ITO}(\text{In}_2\text{O}_3-\text{SnO}_2)$ 膜と兼用して用いることにより、全体の工程数を削減できる利点がある。

【0023】図2は本発明方法の第1実施例におけるゲートバスライン端子列の構成を示す図で、同図(イ)は上面図、同図(ロ)はB-B'断面図、同図(ハ)はA-A'断面図である。なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

【0024】すなわち、図からゲートバスライン端子列領域では導電性酸化物膜、たとえば、 ITO 膜からなるバスライン端子40だけが露出し、一方、表示部領域では低抵抗金属膜、たとえば、Al膜からなる下層のゲートバスライン400aを、耐熱性金属膜、たとえば、Ti膜からなる上層のゲートバスライン400bが覆うように積層してゲートバスライン400が形成されていることがよくわかる。

【0025】図3は本発明方法の第2実施例を示す図で主な工程順に図示してある。なお、同図(イ)はX-X'断面図、同図(ロ)は上面図である。また、各部分のプロセスの多くは上記第1実施例の場合とほぼ同様であるので重複する部分については説明を省略する。

【0026】工程(1):ガラス板などからなる透明基板11の表示部領域に下層のゲートバスライン400aを所定のパターンに形成する。

工程(2):上記処理基板の表示部領域とゲートバスライン端子列領域の一部にかけて、少なくとも前記下層のゲートバスライン400aの端子部側の端部を覆って図示したごとく上層の耐熱性金属膜400'bを被着する。

【0027】工程(3):上記処理基板の上層の耐熱性金属膜400'bの端子部側の端部を覆ってゲートバスライン端子列領域の上に導電性酸化物膜40'を図示したごとき配置で形成する。

【0028】工程(4):上記処理基板の上にホトレジストを塗布し、ゲートバスラインとゲートバスライン端子となる部分に図示したごとき形状にレジストパターン90を形成する。

【0029】工程(5):上記処理基板を塩素化合物系のガス、たとえば、 CCl_4+O_2 ガスの中でプラズマエッチングを行いレジストが被覆されていない部分の上層の耐熱性金属膜400'bと導電性酸化物膜40'を同時エッチングして、ゲートバスライン400とその端末部を覆うゲートバスライン端子40を形成し、一方、表示部領域に薄膜トランジスタをマトリクス状に同時形成して行けば、同様

に本発明方法による薄膜トランジスタマトリクス基板が作製され、前記第1実施例によるものと同様な効果が得られることは説明するまでもない。

【0030】図4は本発明方法の第3実施例を示す図で主な工程順に図示してある。なお、同図(イ)はX-X'断面図、同図(ロ)は上面図である。また、各部分のプロセスの多くは上記第1実施例の場合とほぼ同様であるので重複する部分については説明を省略する。

【0031】工程(1a): ガラス板などからなる透明基板11のゲートバスライン端子列4を配置する領域に、導電性酸化物膜、たとえば、ITO($\text{In}_2\text{O}_3\text{-SnO}_2$)膜からなるゲートバスライン端子40をスパッタ法と公知のホトリソグラフィ技術を用いて所定の形状に形成する。

【0032】工程(1b): 上記処理基板のゲートバスライン端子40の上にレジストパターン91を形成する。

工程(1c): 上記処理基板を130 ~ 150 °Cに加熱してレジストを軟化させ、ゲートバスライン端子40のエッジ部を覆ったレジストパターン91'を形成する。

【0033】工程(2a ~ 2c): 上記処理基板の上に低抵抗金属膜400'aを形成し、表示部領域のゲートバスラインの上に、かつ、ゲートバスライン端子40のゲートバスライン側の端部に重ならないようにレジストパターン92を形成したあと、該レジストパターン92をマスクとして公知のエッチング方法により低抵抗金属膜400'aをエッチング除去する。

【0034】工程(3): 上記処理基板の上のレジストパターン92を適当な剥離液で除去して下層のゲートバスライン400aとゲートバスライン端子40をそれぞれ分離する。この時、図示したごとくそれぞれのゲートバスライン400aとゲートバスライン端子40の間にはスペース80が形成される。

【0035】工程(4): 上記処理基板の前記下層のゲートバスライン400aと前記ゲートバスライン端子40のバスライン側の端部を覆って前記スペース80を橋絡するごとく耐熱性金属膜からなる上層のゲートバスライン400bを積層形成して両者間の電氣的接続を行う。

【0036】工程(5): 上記処理基板のゲートバスライン400bを覆うように図示したごとくゲート絶縁膜16を形成し、さらに、表示部領域に薄膜トランジスタマトリクスを形成すれば、同様に本発明方法による薄膜トランジスタマトリクス基板が作製され、前記第1および第2実施例によるものと同様な効果が得られることは説明するまでもない。

【0037】耐熱性金属膜として用いたT1は、バルブメタル、いわゆる、弁作用金属としても知られており、このような金属は一般に絶縁性の高い安定な表面酸化皮膜を形成することができるという利点がある。したがって、同様の性質を有するTaやWなどの金属も有効に使用

することができることは勿論である。

【0038】なお、上記の実施例方法ではボトム・ゲート・スタガー型の薄膜トランジスタマトリクス基板の場合を示したが、逆のトップ・ゲート・スタガー型の場合についても応用してよいことは勿論である。また、本発明の趣旨に添うものである限り、各部に使用する材料やプロセス条件などは適宜他のものを選択使用してよいことは言うまでもない。

【0039】

【発明の効果】以上説明したように、本発明によればゲートバスライン端子40も導電性酸化物膜、たとえば、ITO($\text{In}_2\text{O}_3\text{-SnO}_2$)膜で形成されており、しかも、低抵抗金属膜からなる下層のゲートバスライン400a、たとえば、Al膜がITO($\text{In}_2\text{O}_3\text{-SnO}_2$)膜と雰囲気中で近接状態を形成することがないので、製造工程中の各種処理、たとえばケミカル・ドライ・エッチングや現像処理などによる表面の酸化、あるいは、ITO($\text{In}_2\text{O}_3\text{-SnO}_2$)膜の還元などの悪影響を受けることがなく、したがって、外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度や接続抵抗が優れ、アクティブマトリクス型液晶表示装置の品質および信頼性の向上に寄与するところが極めて大きい。

【図面の簡単な説明】

【図1】本発明方法の第1実施例を示す図である。

【図2】本発明方法の第1実施例におけるゲートバスライン端子列の構成を示す図である。

【図3】本発明方法の第2実施例を示す図である。

【図4】本発明方法の第3実施例を示す図である。

【図5】アクティブマトリクス型液晶表示パネルの外観を示す斜視図である。

【図6】薄膜トランジスタマトリクス基板の構成例を示す図である。

【図7】ドレインバスライン端子列の構成例を示す図である。

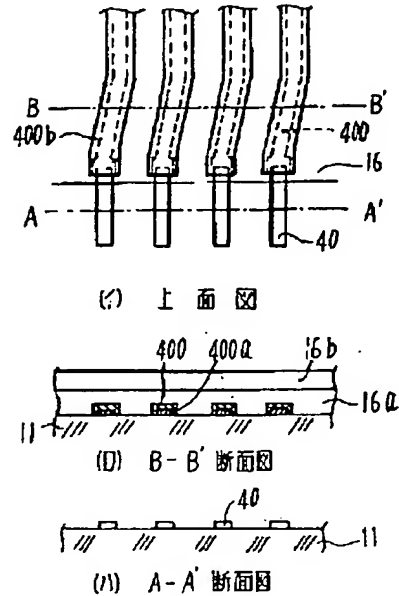
【図8】従来のゲートバスライン端子列の構成例を示す図である。

【符号の説明】

1は薄膜トランジスタマトリクス基板、2は共通電極基板、3は液晶、4はゲートバスライン端子列、5はドレインバスライン端子列、10は薄膜トランジスタ、11は透明基板、12はソース電極、13はドレイン電極、14はゲート電極、15は動作半導体層、16(16a、16b)はゲート絶縁層、17は保護層、19は画素電極、40はゲートバスライン端子、50はドレインバスライン端子、80はスペース、400(400a、400b)はゲートバスライン、500はドレインバスライン。

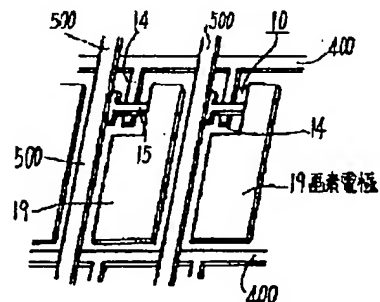
【図2】

本発明方法の第1実施例におけるゲートバスライン端子例の構成を示す図



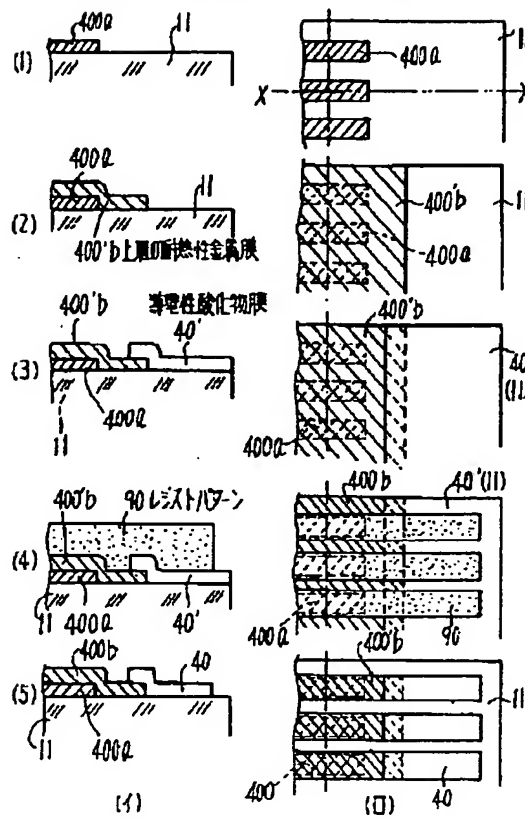
【图 6】

薄膜トランジスタマトリクス基板の構成例を示す図



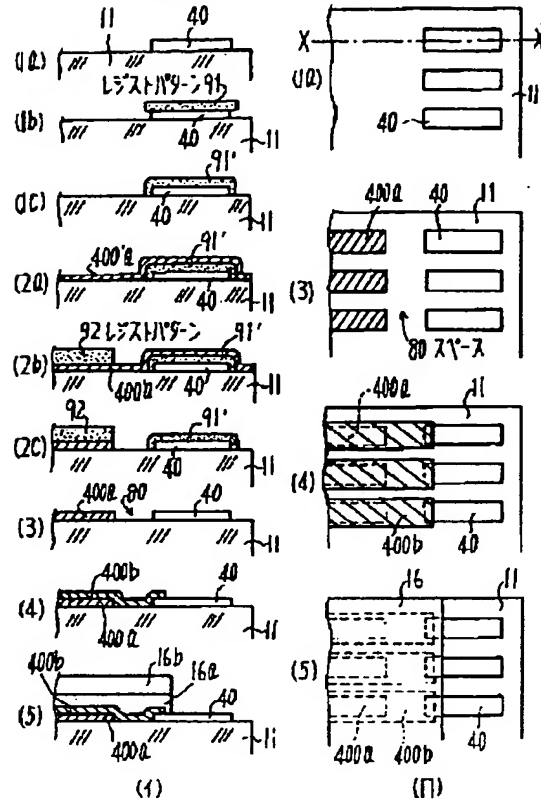
【図3】

本発明方法の第2実施例を示す図



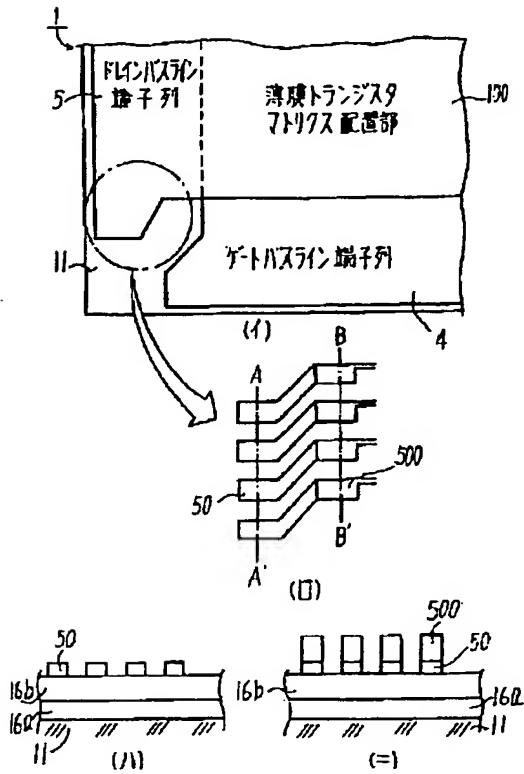
【図4】

本発明方法の第3実施例を示す図



【図7】

ドレインバスライン端子列の構成例を示す図



【図8】

従来のゲートバスライン端子列の構成例を示す図

